

Progetto di un Filtro CIC su Stratix FPGA

A. Tani^{1,2}, G. Comoretto¹

¹Osservatorio Astrofisico di Arcetri

²Dipartimento di Elettronica e Telecomunicazioni, Firenze

Arcetri Technical Report N° 6/2007
revision 1.0
Firenze, Dicembre 2007

Abstract

Il gruppo di radioastronomia dell'Osservatorio di Arcetri ha realizzato un filtro Cascaded Comb Integrated (CIC) a decimazione variabile.

Il filtro è stato progettato in Verilog/VHDL e realizzato su una FPGA Stratix di Altera, inoltre è stato testato per quanto riguarda la risposta in frequenza mediante un DDS digitale ed un misuratore di total power.

1 Introduzione

Negli anni passati il gruppo di radioastronomia è stato impegnato nella realizzazione di ricevitori per Radio Science, cioè ricevitori in grado di estrarre in modo coerente un segnale monocromatico generato da una sonda spaziale, preservandone la fase assoluta. Tentativi di utilizzare a questo scopo un sistema commerciale, dotandolo di un software opportuno, si sono scontrati con difficoltà collegate con l'elevata accuratezza della fase richiesta per gli esperimenti di Radio-Science [1], accuratezza non richiesta nelle applicazioni commerciali in cui questi sistemi sono adoperati.

Pertanto ci si è orientati su soluzioni realizzative *ad hoc*, in cui i componenti necessari per implementare il ricevitore siano realizzati completamente in casa, in modo da poter definire e controllare in modo rigoroso le specifiche. La scelta della tecnologia realizzativa per questo tipo di ricevitori si è orientata sui dispositivi Field Programmable Gate Arrays (FPGA) caratterizzati da un'elevata flessibilità.

Attualmente di questo ricevitore operante in banda base sono stati sviluppati alcuni moduli in linguaggio Verilog e VHDL, in forma ancora schematica: un top level, un mixer programmabile digitale, un filtro ad elevata decimazione variabile: ed una interfaccia per un software di controllo. In particolare tra le varie soluzioni analizzate per realizzare filtri a decimazione variabile particolarmente interessante è quella costituita dai filtri *Cascaded Integrator Comb* (CIC), struttura economica e priva di moltiplicatori.

2 Filtri CIC

I filtri CIC sono stati proposti nel 1981 da Hogenauer [2] e, fin dall'inizio, il loro utilizzo naturale è stato nei sistemi di Sample Rate Conversion (SRC). Il CIC ha la caratteristica di un filtro passabasso e la sua realizzazione minima è costituita da due stadi in cascata: un integratore ed uno stadio comb (o derivatore), tuttavia in generale vi possono essere più stadi in cascata. Il filtro CIC generico pertanto consisterà di N integratori e, in cascata, N comb. La funzione di trasferimento di un filtro CIC nel dominio z può essere espressa dal prodotto delle funzioni di trasferimento (fdt) dello stadio integratore e dello stadio derivatore (o comb):

denotando con $H_I(z)$ la fdt dello stadio integratore, essa vale:

$$H_I(z) = \frac{1}{1 - z^{-1}} \quad (1)$$

mentre $H_C(z)$ è la fdt dello stadio comb ed R è il fattore di decimazione e M un parametro detto *differential delay*, generalmente unitario che posiziona i nulli della risposta in frequenza complessiva.

$$H_C(z) = 1 - z^{-RM} \quad (2)$$

Pertanto la risposta complessiva, composta da N sezioni comb e N sezioni integratore ha la seguente espressione:

$$H(z) = H_C^N(z) H_I^N(z) = \frac{(1 - z^{-RM})^N}{(1 - z^{-1})^N} = \left[\sum_{k=0}^{RM-1} z^{-k} \right]^N \quad (3)$$

La fdt del filtro è equivalente alla cascata di N filtri FIR uniformi. La risposta in frequenza può essere quindi valutata e vale:

$$S(f) = \left[\frac{\sin(\pi M f)}{\sin(\frac{\pi f}{R})} \right]^{2N} \quad (4)$$

Dove f è la frequenza relativa alla frequenza di campionamento decimata f_s/R . Se poi R è sufficientemente elevato la (4) può essere approssimata su un range di frequenza limitato $0 \leq f < 1/M$:

$$S(f) = \left[RM \frac{\sin(\pi M f)}{\frac{\pi f}{R}} \right]^{2N} \quad (5)$$

In figura 1 possiamo osservare la risposta in frequenza di tipo *sinc*

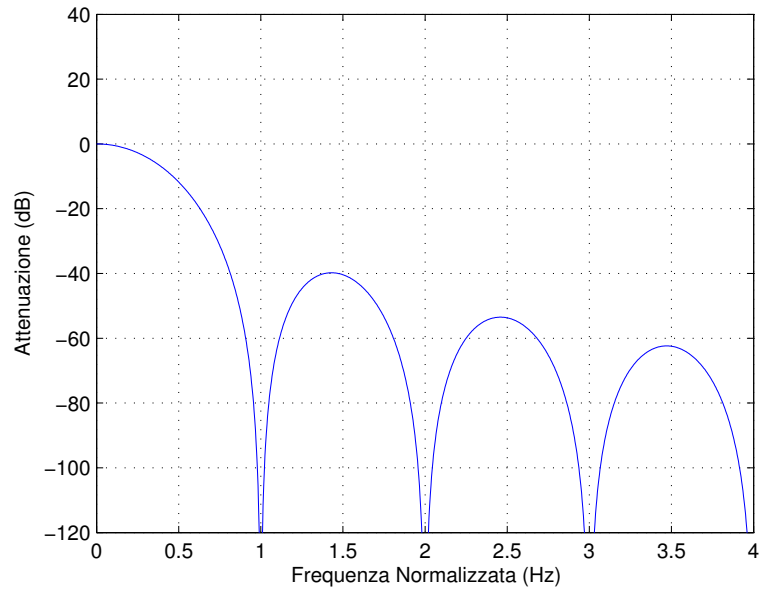


Figura 1: Risposta in Frequenza dello stadio CIC: decimazione 8, N=3, M=1

Quindi a causa della non soddisfacente risposta in frequenza del filtro è necessario utilizzare in cascata un filtro FIR in modo da fissare e correggere la risposta in frequenza totale del filtro. Inoltre rispetto alla struttura classica alcune strutture dette sharpened possono ridurre l'aliasing e il drop in banda passante.

2.1 Stadio CIC

Il modulo filtro CIC con struttura classica [3] testato su scheda Stratix EP1S25 Altera, è stato realizzato in Verilog, utilizzando il programma Quartus II, software proprietario di Altera.

L'implementazione hardware riguarda un CIC costituito da tre stadi che è costituito perciò da 3 integratori e 3 tre stadi comb. Per ovviare al problema dell'overflow interno negli stadi integratori a seguito di componenti DC in ingresso si è utilizzata la logica complemento a 2, (*soluzione detta Wrapped Integrator*). In una prima implementazione il numero di bit dei registri è stato posto a 36 bit per quanto concerne i bit dello stadio integratore, e 32 bit per lo stadio CIC.

Come dimostrato in [2] lo stadio CIC presenta un guadagno massimo in uscita dato dalla seguente relazione:

$$G_{Max} = (RM)^N \quad (6)$$

Quindi indicando con il numero di bit B_{in} del segnale in ingresso, allora la crescita dei registri ci permette di calcolare il MSB dell'uscita:

$$B_{max} = \lceil N \log_2 RM + B_{in} - 1 \rceil \quad (7)$$

In particolare per quanto riguarda lo stadio CIC, visto come *top-level* del progetto, risulta costituito dai seguenti moduli:

- Integratore
- Comb filter
- Decimation Register
- Output register

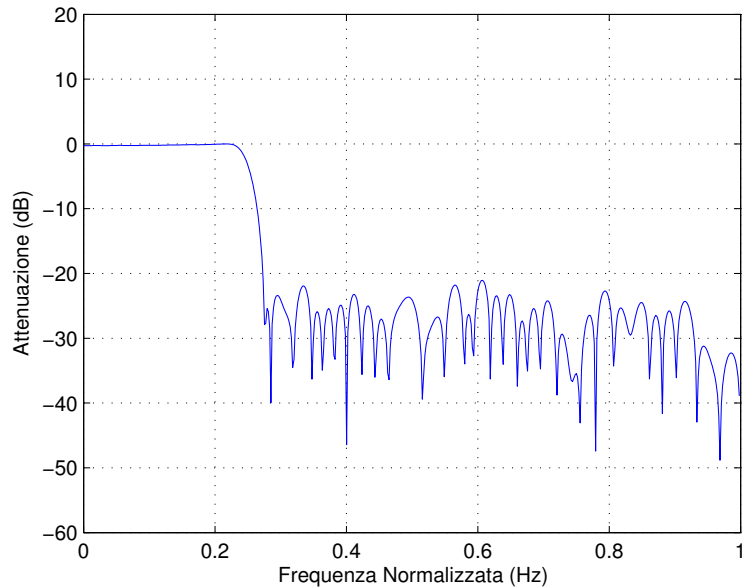


Figura 2: Risposta in Frequenza del filtro FIR compensatore

2.2 Filtro FIR compensatore

Il secondo stadio è un filtro costituito da vari moduli VHDL che deve fissare la banda passante del filtro risultante in modo da ridurre l'aliasing.

Il filtro utilizzato è un FIR a 128 tap simmetrico polifase che effettua una decimazione pari a 4. Per dettagli su questo tipo di filtro si può consultare [4]: inoltre il filtro deve compensare la risposta del primo stadio che è di tipo *sinc*.

I coefficienti sono stati calcolati con il software Matlab in modo che il filtro fosse equiripple utilizzando la funzione *Firceqrip*, in particolare:

`firceqrip(127,0.25,[1e-4,1e-3],invsinc[0.5,3])`, dove:

- 127 è l'ordine del filtro
- 0.25 è la frequenza di cut-off (in frequenze normalizzate rispetto alla frequenza di Nyquist)
- $1e-4$ e $1e-3$ sono rispettivamente il ripple in banda pari a 40 dB e fuori banda pari a 30 dB
- il parametro opzionale '*invsinc*' è necessario per dare al passabanda del filtro uno shape del tipo $1/(sinc(fx))^p$, dove $f = 0.5$, è l'ordine del filtro CIC $p = 3$

In figura 2 è riportata la risposta in frequenza del filtro compensatore.

Il top level del filtro *Complex FIR* risulta composto dai seguenti moduli:

- FIR addr: generatore di indirizzi per il filtro
- FIR CORE: implementa moltiplicazioni e accumulatore
- Coef ROM: tabella che contiene i coefficienti.

In figura 3 è invece illustrato, in banda passante, la risposta in frequenza del CIC, quella filtro compensatore con l'andamento '*invsinc*' in banda passante e la risposta complessiva del filtro in cascata.

Infine in figura 4 è invece illustrata la risposta in frequenza del filtro complessivo. In tutte le figure la frequenza è normalizzata a metà della frequenza di campionamento.

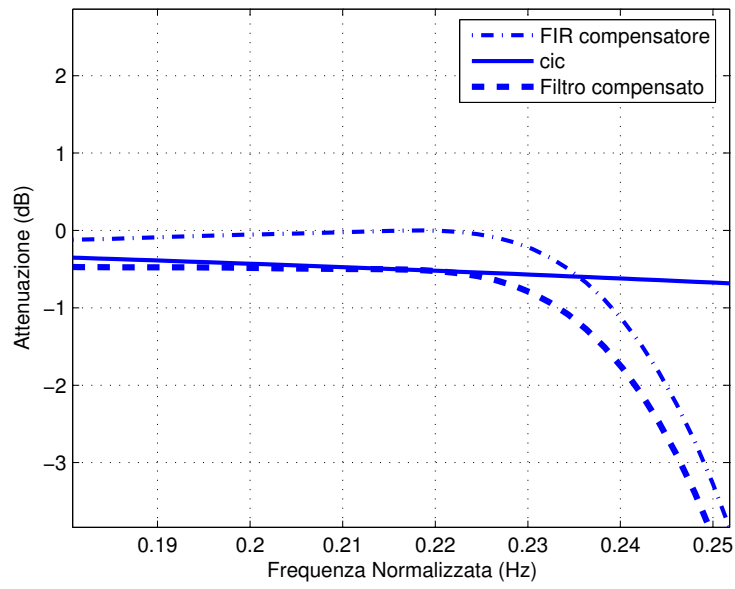


Figura 3: Risposta in Frequenza del filtro FIR compensatore, del CIC e risposta complessiva

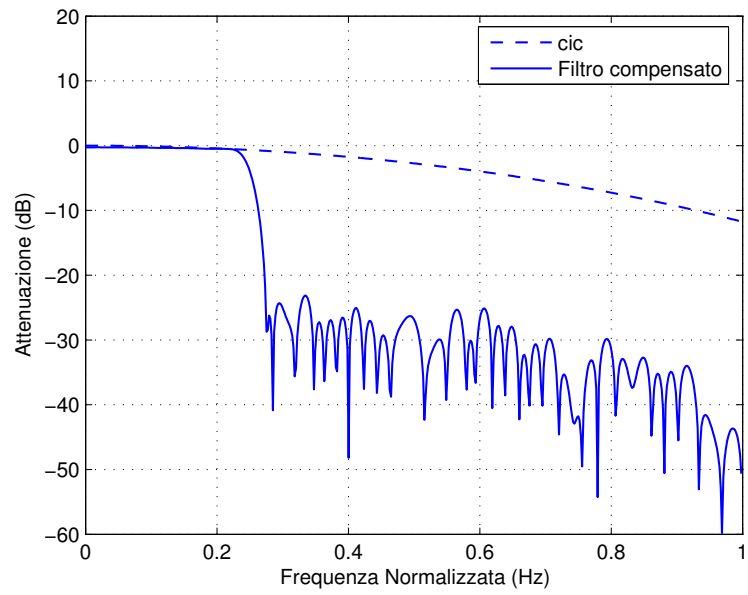


Figura 4: Risposta in Frequenza del filtro FIR compensatore

3 Test

Il test è stato effettuato sulla scheda Stratix EP125S25 DSP, allo scopo di valutare la risposta in frequenza complessiva del filtro tramite un modulo VHDL il cui *top-level test* risultava composto dai seguenti moduli:

- Digital Direct Syntetizer (DDS), genera una sinusoide a 9 bit (in rappresentazione complemento a due).
- HDF composto a sua volta dai moduli CIC e Complex FIR, descritti in precedenza.
- Misuratore di Total Power

All'interno del *top level* un contatore a 16 bit genera, quando si azzerava, un segnale di *load_freq* che incrementa di uno step la frequenza con cui caricare il DDS, e attiva il DDS stesso. Il *load_freq* è anche utilizzato come segnale di strobe per attivare l'integrazione della sinusoide effettuata con il modulo Total Power. Poiché la frequenza di campionamento utilizzata è pari a 80 MHz, frequenza del clock interno della scheda, ne consegue che il rate con cui si aggiorna la frequenza (reciproco del tempo di integrazione) sarà pari a:

$$(1/T) = \frac{80 \text{ MHz}}{2^{16} - 1} \simeq 1.22 \text{ KHz} \quad (8)$$

i punti di frequenza in cui viene calcolata la risposta del filtro sono 512, per cui lo sweep di frequenza dura T_{sweep} :

$$T_{sweep} = \frac{512}{1.22 \text{ KHz}} \simeq 0.42 \text{ s.} \quad (9)$$

Lo step di frequenza del DDS è pari a $80 \text{ MHz}/2^{14} \simeq 4.882 \text{ KHz}$, per cui la massima frequenza analizzata è 1/16 della frequenza di Nyquist (40 MHz), corrispondente ad una decimazione D=4 nel filtro CIC. Tale uscita viene inviata all' ADC a 14 bit della scheda e successivamente inviata ad un canale dell'oscilloscopio.

Sull'altro canale si invia il valore di frequenza programmata che pertanto viene inviato sul secondo ADC della scheda.

In tal modo si valuta la potenza di uscita in funzione della frequenza, come illustrato in fig.6 per quanto concerne la decimazione 8 dello stadio CIC.

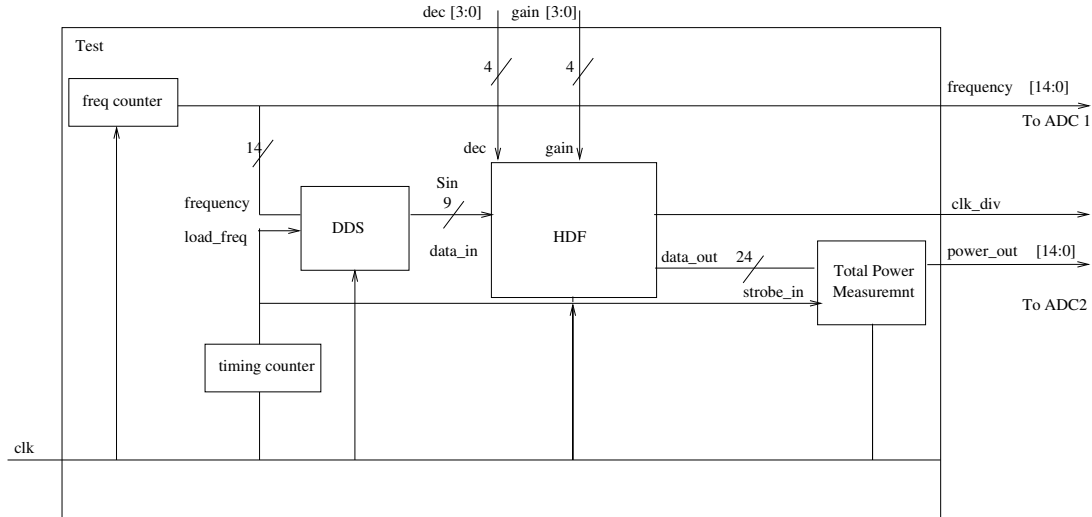


Figura 5: Schema del circuito di test

Nelle figure successive viene visualizzata la risposta in frequenza per la decimazione 12 e 15, dello stadio CIC.

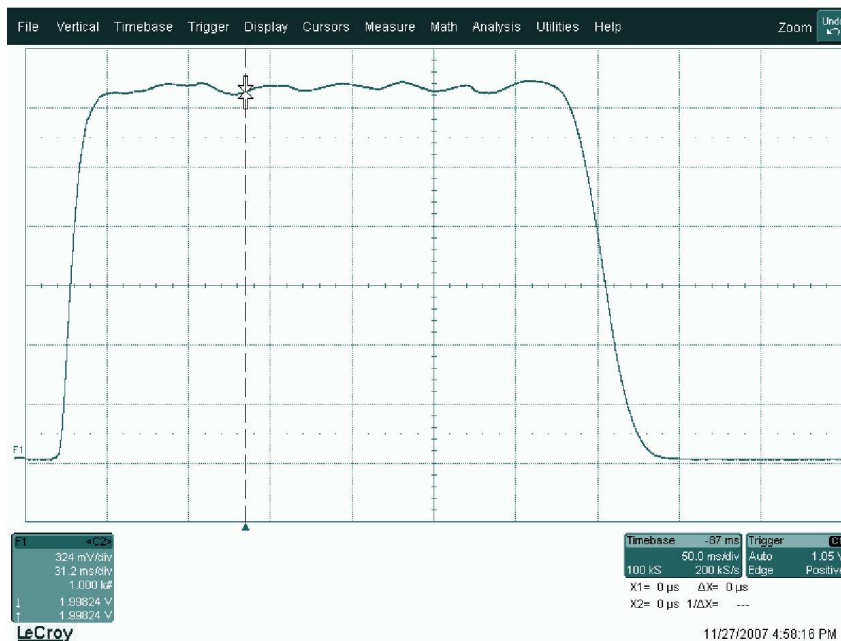


Figura 6: Risposta in Frequenza del Filtro: decimazione CIC 8, Totale 32 Frequenza di campionamento 2.5 MHz

4 Equalizzazione della risposta in frequenza

Poiché lo stadio CIC introduce un guadagno proporzionale alla decimazione elevata all'ordine del filtro è necessario normalizzare l'uscita di tale stadio, ad esempio agendo su un parametro di guadagno del secondo filtro.

In particolare per quanto riguarda le decimazioni più elevate valutate, ovvero comprese tra $D = 6$ e $D = 15$, il test è stato effettuato scalando il segnale in ingresso al Device Under Test (DUT, cioè al filtro) di un fattore 4, e il guadagno esterno è stato impostato in base alla legge (6) ovvero:

$$Gain = \left[\frac{(15)^3}{D^3} \right] \quad (10)$$

quindi per la decimazione 15 del CIC è stato selezionato il guadagno unitario e via via guadagni maggiori per le decimazioni più elevate, fino al valore 15 per la decimazione 6.

Per le decimazione più basse testate ovvero tra 3 e 5, è stato necessario non scalare il segnale di ingresso, in modo da avere una dinamica sufficiente dell'uscita del filtro e in tali casi sono stati utilizzati guadagni da 1 a 4.

5 Risorse utilizzate

Nella tab.1 sono illustrate le risorse più significative utilizzate dal filtro progettato.

Per confronto la più piccola delle FPGA della famiglia Cyclone III Altera (low cost, pochi euro) ha 5000 celle logiche, 46 moltiplicatori e 420 Kb di memoria. Il filtro utilizzerebbe meno di metà delle risorse di tale componente. Nel chip impiegato si utilizza circa 1/4 degli 80 moltiplicatori hardware, e meno del 4% delle 25000 celle logiche disponibili.

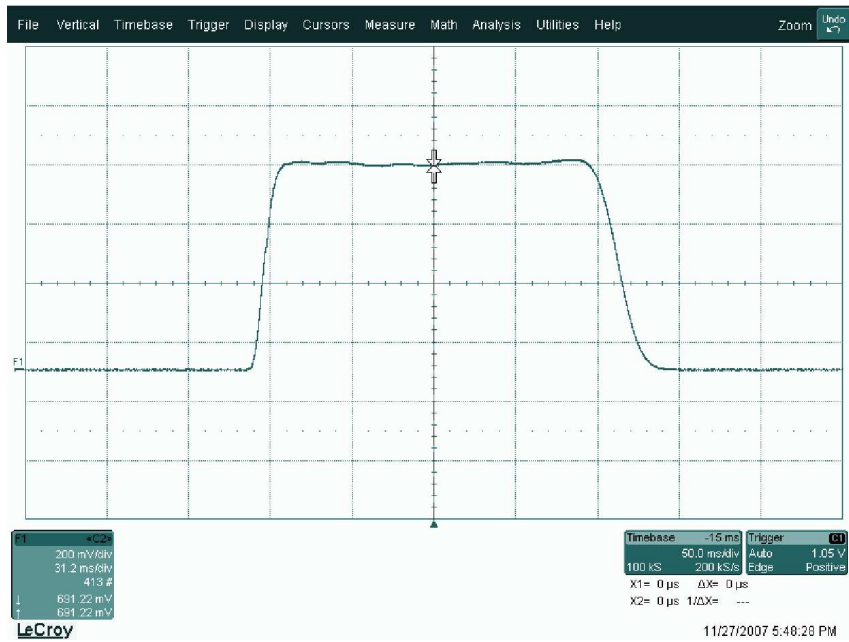


Figura 7: Risposta in Frquenza del Filtro: decimazione 12, Totale 48

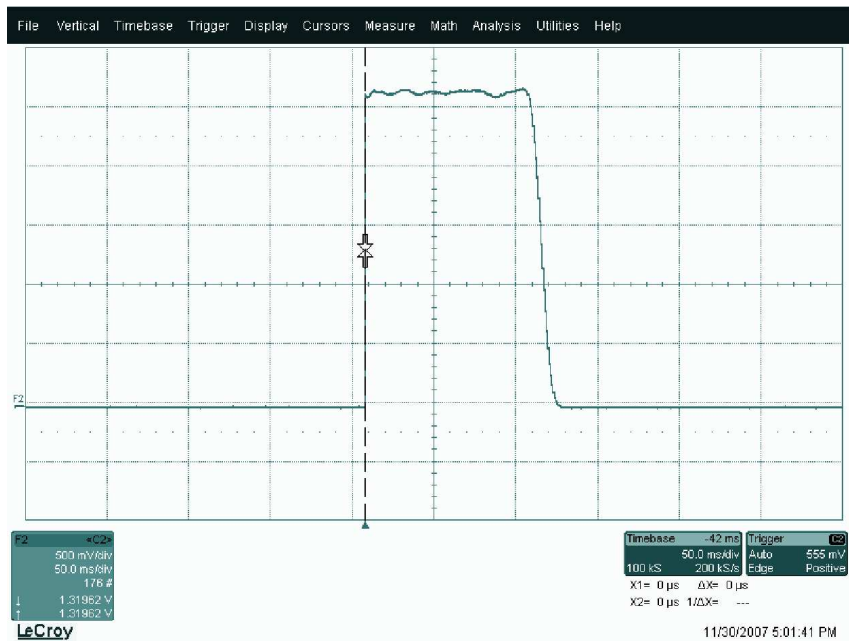


Figura 8: Risposta in Frquenza del Filtro: decimazione 15, Totale 60

Modulo	logic cells	LC Registers	M4Ks	DSP 9x9
DDS	35	34	1	0
CIC	166	146	0	0
Complex FIR	840	619	15	17
Total_Power	82	42	0	1

Tabella 1: Risorse utilizzate per il filtro a decimazione

6 Conclusioni

Un filtro a decimazione variabile (con decimazione complessiva massima pari a 60) è stato realizzato con tecnologia FPGA su una scheda Stratix Altera. Tale filtro per la sua flessibilità e basso impegno di risorse hardware è un componente essenziale nei ricevitori digitali, Base-Bande-Converter (BBC), in generale nei sistemi Software Radio sia per Telecomunicazioni che per Radio-astronomia, in particolare per quanto riguarda le applicazioni di Radio Science dove tuttavia occorre ridurre la frequenza di campionamento e quindi la banda del filtro fino a pochi Hz.

In tali casi il fattore di decimazione complessivo dovrà essere dell'ordine delle migliaia (se ad esempio la frequenza di campionamento è pari a 5 MHz) e questo comporta alcune modifiche sullo stadio CIC, in particolare un aumento del numero di bit dello stadio integratore per tener conto dell'aumentato fattore di guadagno.

Riferimenti bibliografici

- [1] G. Comoretto e A. Tani, Software di controllo e acquisizione dati di un Digital Tone Extractor su scheda Pentek,” Arcetri, Tech. Rep. 6, 2006.
- [2] E. Hogenauer, An Economical Class of Digital Filters for Decimation and Interpolation, *IEEE Transactions on Acoustics, Speech, and Signal Processing*, vol. 2, April 1981.
- [3] Autori Vari, *DSP Digital Signal Processing Data Book*, Harris Semiconductor, Ed.Harris, 1993.
- [4] G. Comoretto, Design of a Fir filter using a Virtex2 Xilinx Chip, Arcetri, Tech. Rep. 5, September 2002.

Indice

1	Introduzione	1
2	Filtri CIC	1
2.1	Stadio CIC	2
2.2	Filtro FIR compensatore	3
3	Test	5
4	Equalizzazione della risposta in frequenza	6
5	Risorse utilizzate	6
6	Conclusioni	8